

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑯ 公開特許公報(A)

昭63-142445

⑰ Int. Cl.<sup>4</sup>

G 06 F 12/04  
12/00  
12/02

識別記号

3 0 4

庁内整理番号

A-6711-5B  
F-6711-5B  
N-6711-5B

⑱ 公開 昭和63年(1988)6月14日

審査請求 有 発明の数 1 (全6頁)

⑲ 発明の名称 メモリ装置

⑳ 特 願 昭61-288740

㉑ 出 願 昭61(1986)12月5日

㉒ 発 明 者 田 口 泰 志 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社情報電子研究所内

㉓ 発 明 者 村 田 裕 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社情報電子研究所内

㉔ 出 願 人 工業技術院長 東京都千代田区霞が関1丁目3番1号

明 細 書

1. 発明の名称

メモリ装置

2. 特許請求の範囲

データを保持するメモリセル、このメモリセルに対応するメモリアドレスレジスタ、データレジスタ及びメモリ制御装置とから成り、アクセスを行なう先頭アドレスとデータ長とを与えて、決められた長さのデータを連続してアクセスするメモリ装置に於いて、1データ群の長さを保持するブロック長レジスタと、このレジスタの値を1つつ減算し、0以下になつた事を検出する手段と、各1データ群間のアドレスの間隔を保持する増分アドレスレジスタと、メモリアドレスの生成時に前記増分アドレスレジスタの値又は1を選択して、前記メモリアドレスレジスタに加算する手段と、アクセスすべき全データ長を保持するデータ長レジスタと、このレジスタの値から前記増分アドレスレジスタの値又は1を選択して減算し、アクセスすべき残りのデータ長を計算する手段と、前記

データ長レジスタの値が0以下になつた事を検出する手段と、ブロックアクセスモードを指示するフラグとを備え、メモリセルに対して、前記増分アドレスレジスタが示すアドレス間隔毎に、前記ブロック長レジスタで指定された長さのデータを、前記データ長レジスタの値が0以下になる迄、順次ブロックアクセスしていく事を特徴とするメモリ装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、メモリ領域内で或る一定アドレス間隔で複数個配列されたデータ群即ちブロックを、連続的にアクセスする事ができるメモリ装置に関するものである。

〔従来の技術〕

第1図は、例えば電子計算機/システムと機構(1. フローレス著・相模秀夫監訳・新曜社)に示された、従来のメモリ装置のブロック図である。図中(1)はメモリセルであり、(2)はメモリセル(1)のどの位置をアクセスするかを示すメモリアドレス

レジスタであり、(4)はメモリセル(1)のメモリアドレスレジスタ(2)で指定された位置より読出されたデータを保持するメモリデータレジスタであり、(4)は前記メモリセル(1)、メモリアドレスレジスタ(2)、およびメモリデータレジスタ(3)に対して、読出し又は書き込みを制御するメモリ制御装置である。

この第1図に示したメモリ装置において、或る決められた長さのメモリセル群を、連続的にアクセスする機能を加したメモリ装置のブロック図を第3図に示す。図中(4)は選択器であり、アクセスの開始アドレス又は加算器(6)の出力を選択して、メモリアドレスレジスタ(2)への入力を生成する。(5)は加算器であり、メモリアドレスレジスタ(2)の内容に1を加えて、次にアクセスすべきメモリアドレスを計算する。(7)は選択器であり、アクセスを行うデータの長さ又は減算器(8)の出力を選択して、データ長レジスタ(9)への入力を生成する。(10)はデータ長レジスタであり、現在アクセスしているデータ以降の残りのデータ長を保持する。(11)は減算

器レジスタ(11)へ設定する。このレジスタ(11)に設定された内容は他の、例えば中央処理装置へ転送される。

#### (ステップ3)

選択器(4)を介して、加算器(6)の出力を選びメモリアドレスレジスタ(2)へ設定する。ここでは、現メモリアドレスレジスタ(2)の内容に1を加算して、次のデータに対するアドレスをメモリアドレスレジスタ(2)へ設定する。又選択器(7)を介して、減算器(8)の出力を選び、データ長レジスタ(9)へ設定する。ここでは、現データ長レジスタ(9)の内容から1を減算した値を、データ長レジスタ(9)へ設定する。この時、比較器(10)は、データ長レジスタ(9)の内容が0以下であるかをチェックする。

この値が0以下であれば、全データの読出しを終了した事になる。逆に0より大きければ、アクセスすべきデータが未だ残っており、次のデータの読出しを行なう為に、ステップ2へと戻る。

#### (発明が解決しようとする問題点)

第3図に示した従来のメモリ装置では、例えば

第3図に示すメモリセル(1)内のデータを、 $M_0, M_1, M_2, M_3$  の順序でアクセスしようとする場合、メモリアドレスレジスタ(2)へのアドレス設定が、 $A$ と $A+4$ の2回必要であり、又データ長レジスタ(9)への設定も2回必要とし、メモリアクセス速度が低下するという問題点があった。

次に第4図のメモリ装置の動作について説明する。

ここでは第4図に示すメモリセル(1)上のデータにアクセスする例について説明する。第4図はアドレス $A$ から始まる4個のデータ $M_0, M_1, M_2, M_3$ を示すものであり、これ等に対するアクセス(読出し)動作は、以下のステップを踏む。

#### (ステップ1)

アドレス $A$ を選択器(4)を介して、メモリアドレスレジスタ(2)へ設定する。又データ長(この例では4)を選択器(7)を介して、データ長レジスタ(9)へ設定する。

#### (ステップ2)

メモリアドレスレジスタ(2)が指定するメモリセル(1)の位置より、データを1個読出してこれをデ

第3図に示す様なメモリセル(1)内のデータを、 $M_0, M_1, M_2, M_3$  の順序でアクセスしようとする場合、メモリアドレスレジスタ(2)へのアドレス設定が、 $A$ と $A+4$ の2回必要であり、又データ長レジスタ(9)への設定も2回必要とし、メモリアクセス速度が低下するという問題点があった。

この発明は上記の様な問題点を解決する為に成されたもので、第3図に示す様なメモリセル(1)上のデータを $M_0, M_1, M_2, M_3$  と連続的にアクセスする事ができるメモリ装置を得る事を目的とする。

#### (問題点を解決するための手段)

この発明によるメモリ装置では、ブロックの長さを保持するブロック長レジスタ、各ブロック間のアドレス間隔を保持する増分アドレスレジスタ、アクセスすべき全データ長を保持するデータ長レジスタ等を備え、第3図に示す如く例えばブロック長2、増分アドレス3、データ長8、及び初期アドレス $A$ の値を各々1回設定する事に依り、データを $M_0, M_1, M_2, M_3$  と連続してアクセスできる様にしたものである。

## 〔作用〕

この発明によるメモリ装置では、ブロックアクセスモード指定時、ブロック長レジスタで指定された長さのデータを連続してアクセスし、このアクセス終了時には、その終了時点のアドレスから増分アドレスレジスタに保持されている値だけ離れたアドレス位置から、再びブロック長レジスタで指定された長さのデータを、連続的にアクセスする様にしたものである。この動作は、データ長レジスタの値が0以下になる迄継続される。

## 〔発明の実施例〕

以下この発明の一実施例を、図について説明する。

第1図はこの発明によるメモリ装置のブロック図であり、(1)～(10)は第1、第5図に示した従来装置と同様のものである。図中(8)は選択器であり、予め設定したブロック長又は減算器(6)の出力を選択して、ブロック長レジスタ(3)への入力を生ずる。(9)はブロック長レジスタであり、ブロック内のデータ中アクセスすべき残りのデータ長を保持する。

比較器(4)の出力が各選択器(8)(9)へ伝達される。(10)はブロックアクセスモードフラグであり、ブロック単位のアクセス動作を指定する。

第1図の様に構成されたこの発明によるメモリ装置の動作について次に説明する。メモリの読出し動作は、以下のステップに従って実行される。

## (ステップ1)

ブロックアクセスモードフラグ(10)を1にセットして、ブロック単位のアクセスを行う事を指定する。アドレスAを選択器(1)を介してメモリアドレスレジスタ(2)へ、データ長を選択器(5)を介してデータ長レジスタ(4)へ、ブロック長を選択器(8)を介してブロック長レジスタ(3)へ、又増分アドレスを増分アドレスレジスタ(7)へと各々設定する。

## (ステップ2)

メモリアドレスレジスタ(2)が指定するメモリセル(1)の該当位置より、データを1個読出してデータレジスタ(6)へ設定する。このレジスタ(6)に設定された内容は、他の、例えば中央処理装置へ転送される。

(4)は減算器であり、ブロック長レジスタ(3)の内容から1を減じて、ブロック内でアクセスすべき残りのデータ長を計算する。(8)は比較器であり、ブロック長レジスタ(3)の内容が0以下になった事をチェックし、1ブロック内の全データのアクセスが終了した事を検出する。(9)は増分アドレスレジスタであり、増分アドレスを保持する。(8)は選択器であり、ブロック内のデータにアクセス中は、+1を選択し、1ブロック分のデータのアクセスが終了すると、増分アドレスレジスタ(7)の内容を選択する。(10)は選択器であり、ブロック内のデータをアクセス中には+1を選択し、1ブロック分のデータのアクセスが終了すると、増分アドレスレジスタ(7)の内容を選択する。ここで減算器(6)は、1ブロック内のデータのアクセス中には、データ長レジスタ(4)の内容から1を減じていき、1ブロック分のデータのアクセスが終了すると、データ長レジスタ(4)の値から増分アドレスレジスタ(7)の値を減ずる。(11)はアンドゲートであり、ブロックアクセスモードフラグ(10)がセットされている時は、

## (ステップ3)

選択器(8)を介して、加算器(6)の出力を選択し、メモリアドレスレジスタ(2)へ設定する。即ち、現メモリアドレスレジスタ(2)の内容に、選択器(8)の出力(+1)を加算して、次のデータに対するアドレスをメモリアドレスレジスタ(2)へ設定する。又選択器(9)を介して、減算器(6)の出力を選択し、データ長レジスタ(4)へ設定する。即ち、現データ長レジスタ(4)の内容から選択器(8)の出力(+1)を減算して、アクセスすべき残りのデータの長さをデータ長レジスタ(4)へ設定する。この時、比較器(8)は、データ長レジスタ(4)の内容が0以下であるかをチェックする。もしこの値が0以下であれば、全てのデータの読出しを終了した事になり、ブロックデータアクセスを終結する。次に選択器(8)を介して、減算器(6)の出力を選択してブロック長レジスタ(3)へ設定する。即ちブロック長レジスタ(3)の内容から+1を減算して、現ブロック内でアクセスすべき残りのデータの長さを、ブロック長レジスタ(3)へ設定する。

この時、比較器14は、ブロック長レジスタ13の内容が0以下であるか否かをチェックする。この値が0以下であれば、1ブロック全体のデータの読出しを完了した事になり、次のステップ4へ行く。もし0以下でなければ、ステップ2へ戻る。(ステップ4)

1ブロック分のデータの読出しを完了した時、比較器14の出力は、アンドゲート18を通して選択器111819への選択信号となる。即ち選択器11に対してはブロック長を選択する様にし、ブロック長レジスタ13へ再びブロック長を設定し、選択器11に対しては、増分アドレスレジスタを選択する様にし、メモリアドレスレジスタ12にその増分アドレスレジスタ13の値を加算する。又選択器11に対しては、増分アドレスレジスタ13の出力を選択する様にし、データ長レジスタ14の値から、増分アドレスレジスタ13の内容を減算する。続いてステップ2へ飛ぶ。

さて実際の動作例として、第1図に示すメモリ装置が、第3図に示すメモリセル(1)上のデータを

<データM<sub>1</sub>の読出し……時刻t<sub>1</sub>>

メモリアドレスレジスタ12の内容A+1で指定されたメモリセル(1)上の該当位置からデータM<sub>1</sub>が読出され、データレジスタ14へ設定される。この読出し終了後、現ブロック長レジスタ13より1を減じた値が0以下となるので、比較器14の出力がアンドゲート18を通して選択器111819へ選択信号として分配される。選択器11はブロック長を選択し、ブロック長レジスタ13へは値2が再設定され、選択器11は増分アドレスレジスタ13の値3を選択し、メモリアドレスレジスタ12へは、現メモリアドレスレジスタ12の値A+1に増分アドレス1を加えた値A+4が設定され、選択器11は、増分アドレスレジスタ13の出力値3を選択し、データ長レジスタ14へは、現データ長レジスタ14の値2から3を引いた値-1が設定される。そして比較器14は、データ長レジスタ14の値が0以下でない事を検出するので、次のデータの読出しを行う。

<データM<sub>2</sub>の読出し……時刻t<sub>2</sub>>

メモリアドレスレジスタ12の内容A+4で、指

定されたメモリセル(1)上の該当位置からデータM<sub>2</sub>が読出され、データレジスタ14へ設定される。この読出しが終了すると、現ブロック長レジスタ13より1を減じた値が0以下でなく、且つ現データ長レジスタ14から、選択器11の出力(この場合は+1)を減算した値も0以下ではないので、メモリアドレスレジスタ12の値には選択器11の出力(この場合は+1)を加算した値A+5が設定される。又ブロック長レジスタ13とデータ長レジスタ14には、各々現在の値より1減じた値1と5が設定される。

この場合の動作は以下の様になる。

<初期設定……時刻t<sub>0</sub>>

メモリアドレスレジスタ12へ値Aが設定され、データ長レジスタ14へ値8が設定され、ブロック長レジスタ13へ値2が設定され、増分アドレスレジスタ13へ値3が設定される。

<データM<sub>0</sub>の読出し……時刻t<sub>1</sub>>

メモリアドレスレジスタ12の内容Aで指定された、メモリセル(1)上の該当位置からデータM<sub>0</sub>が読出され、データレジスタ14へ設定される。この読出しが終了すると、現ブロック長データから1を減じた値は0以下ではなく、且つ現データ長レジスタ14から、選択器11の出力(この場合は+1)を減算した値も0以下ではないので、メモリアドレスレジスタ12の値には選択器11の出力(この場合は+1)を加算した値A+1が設定される。ブロック長レジスタ13とデータ長レジスタ14には、各々現在の値より1減じた値1と5が設定される。

定されたメモリセル(1)上の該当位置からデータM<sub>2</sub>が読出され、データレジスタ14へ設定される。この読出しが終了すると、現ブロック長レジスタ13より1を減じた値が0以下でなく、且つ現データ長レジスタ14から、選択器11の出力(この場合は+1)を減算した値も0以下ではないので、メモリアドレスレジスタ12に、現メモリアドレスレジスタ12の値に選択器11の出力(この場合は+1)を加算した値A+5が設定される。又ブロック長レジスタ13とデータ長レジスタ14には、各々現在の値から1を引いた値1と1とが設定される。

<データM<sub>3</sub>の読出し……時刻t<sub>4</sub>>

メモリアドレスレジスタ12の内容A+5で指定されたメモリセル(1)上の該当位置から、データM<sub>3</sub>が読出され、データレジスタ14へ格納される。この読出しが終了すると、現ブロック長レジスタ13から1を減じた値が0以下となるので、比較器14の出力からアンドゲートを通して選択器111819へ選択信号を供給する。選択器11は、増分アドレスレジスタ13の出力値3を選択し、データ長レジ

の値1より3を減じた値-2が設定される。そこで比較器14は、この値が0以下であることを検出するので、全ブロックデータの読出しを終了する。

尚、上記実施例ではメモリ装置に対する読出し動作について説明したが、書き込み動作の場合も同様である。

又、メモリ装置としてアドレスを1個与える一次元のものについて説明したが、行及び列アドレスを与えてアクセスを行う二次元メモリの場合でも良い。

更に、上記実施例では、特定のメモリセル上のデータにアクセスする場合について説明したが、ブロックの長さ、増分アドレスの値、全データの長さ等は、他の任意の値であっても、全て同様の効果を奏する。

#### 〔発明の効果〕

以上の様に、この発明によれば、メモリ内で一定長の連続したデータ群が、或る決まった距離ずつ離れて配列されている場合、1データ群の長さ、各データ群間の距離、全データの長さ、及び先頭

データのアドレスを最初に1回指定するだけで順次連続的にアクセスできる様に構成したので、メモリ装置に対するデータのアクセスを高速に行える効果がある。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例によるメモリ装置のブロック図、第2図は第1図のメモリセル上のデータ例を、第1図のメモリ装置がアクセスする時の各レジスタの値を示す説明図、第3図及び第4図はアクセスするメモリセル上のデータの一例を示す説明図、第5図及び第6図は従来のメモリ装置の一例を示すブロック図である。

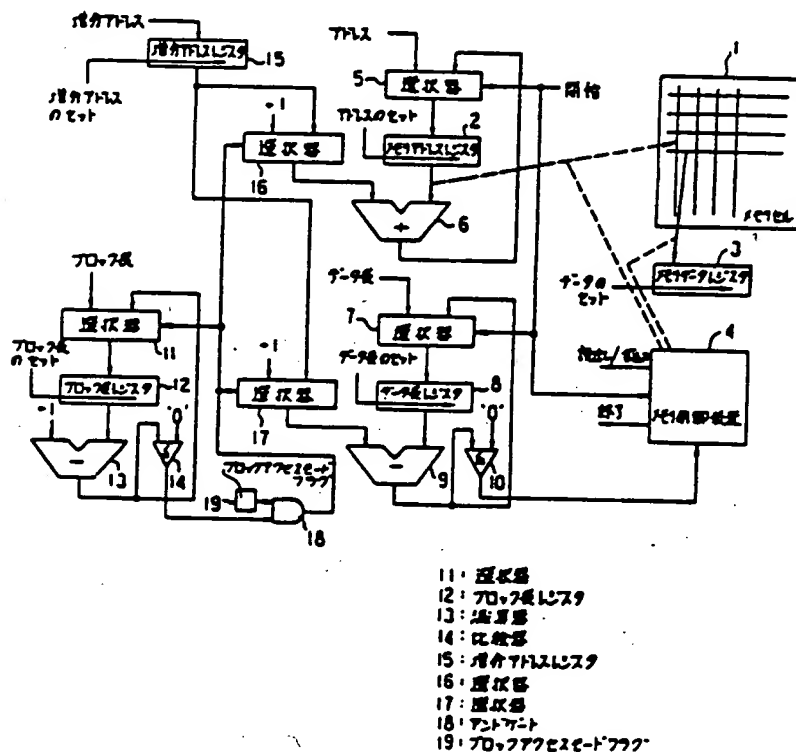
図中11はデータ長レジスタ、12は選択器、13はブロック長レジスタ、14は減算器、15は比較器、16は増分アドレスレジスタ、17は選択器、18は選択器、19はアンドゲート、20はブロックアクセスモードフラグである。

尚図中、同一符号は同一又は相当部分を示す。

特許出願人 工業技術院長

坂 塚 幸 三

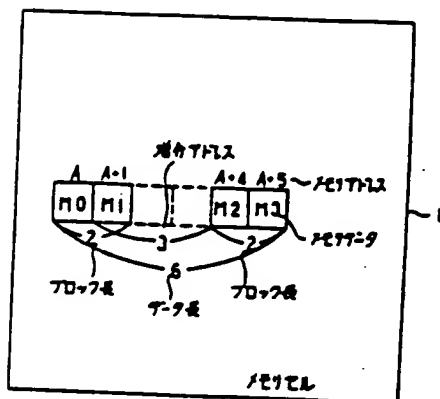
第 1 図



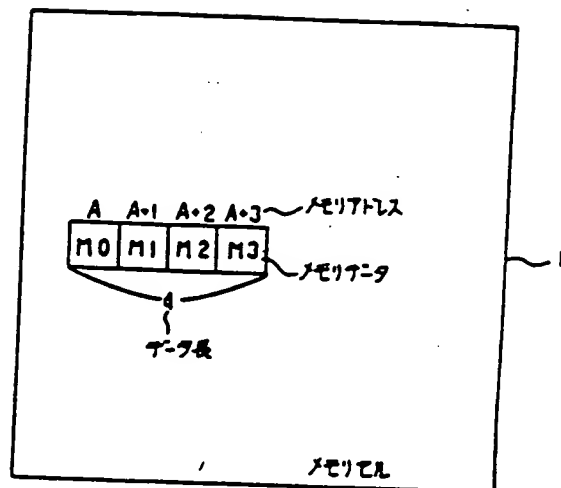
第 2 図

アドレス	X	M0	M1	M2	M3
メモリアドレス	A	A+1	A+4	A+5	
データ	6	5	2	1	(-2)
プログラム	2	1	(0)	2	1
メモリ	3	3	3	3	
時刻	t0	t1	t2	t3	t4

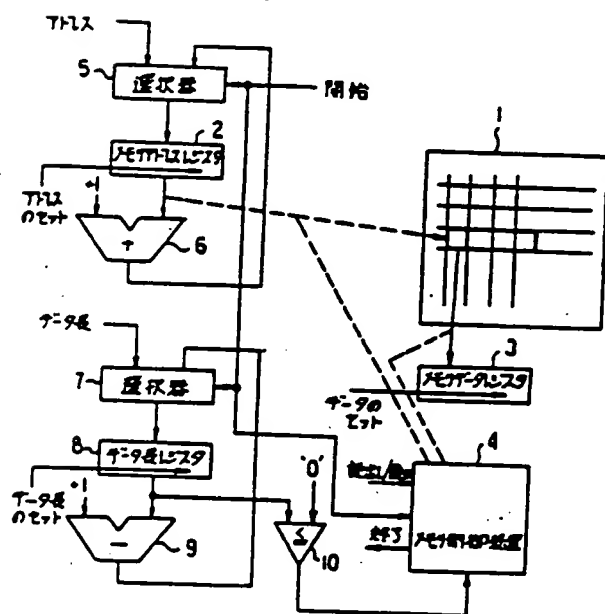
第 3 図



第 4 図



第 5 図



第 6 図

